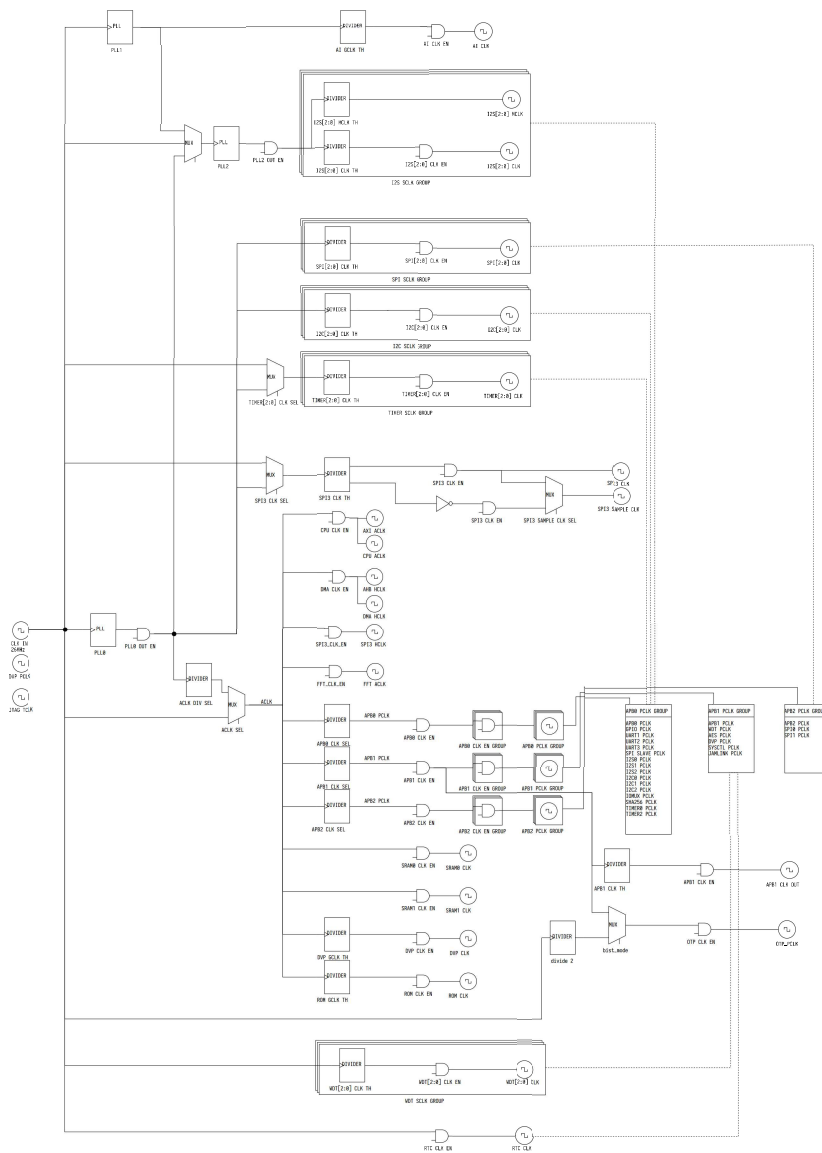


7.3.2 系统时钟



- PLL0 为 CPU 与大部分外设提供时钟
- PLL1 为 AI 加速核提供时钟
- PLL2 为 I2S 音频提供时钟
- 其中，AI 只能选择 PLL1 作为时钟源，I2S MCLK 只能选择 PLL2 作为时钟源，其余外设可以在外部时钟与 PLL0 之间进行选择（通过 PLL BYPASS 来选择外部时钟）。而 PLL2 的输入可以在 26M 输入时钟以及 PLL0/1 输出时钟之间选择，以获得更精准的音频采样频率。